

EK

#6 2-22-01
PCT/JP 99/01423

30.04.99

日 本 国 特 許
PATENT OFFICE
JAPANESE GOVERNMENT

REC'D 25 JUN 1999
WIPO PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

1998年10月20日

出 願 番 号
Application Number:

平成10年特許願第298250号

出 願 人
Applicant(s):

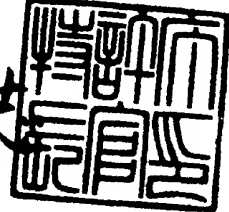
松下電器産業株式会社

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

1999年 6月11日

特 許 庁 長 官
Commissioner,
Patent Office

伴佐山 建志



出証番号 出証特平11-3037299

【書類名】 特許願

【整理番号】 2036400247

【提出日】 平成10年10月20日

【あて先】 特許庁長官殿

【国際特許分類】 H01J 1/30

【発明の名称】 電界放出型電子源装置

【請求項の数】 5

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 古賀 啓介

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電界放出型電子源装置

【特許請求の範囲】

【請求項 1】 p 型シリコン基板上に絶縁膜を介して形成され陰極形成領域に開口部を有する引き出し電極と前記引き出し電極の開口部内に形成された陰極部とを備えた電界放出電子源部と、前記電界放出電子源部に対応して前記 p 型シリコン基板上に形成された n チャネル電界効果トランジスタ部を具備し、前記電界効果トランジスタ部のドレイン領域に前記電界放出電子源部が形成され、前記電界効果トランジスタ部のゲート電極に印加される制御電圧により、前記電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、

前記ドレイン領域が前記電界効果トランジスタ部のソース領域の内部に形成され、ドレイン領域がソース領域で囲まれた配置を有し、前記電界効果トランジスタのゲート電極が前記電界放出電子源部の陰極に対して平面的に対称に配置された構成であることを特徴とする電界放出型電子源装置。

【請求項 2】 p 型シリコン基板上に絶縁膜を介して形成され陰極形成領域に開口部を有する引き出し電極と前記引き出し電極の開口部内に形成された陰極部とを備えた電界放出電子源部と、前記電界放出電子源部に対応して前記 p 型シリコン基板上に形成された n チャネル電界効果トランジスタ部を具備し、前記電界効果トランジスタ部のドレイン領域に前記電界放出電子源部が形成され、前記電界効果トランジスタ部のゲート電極に印加される制御電圧により、前記電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、

前記ドレイン領域が前記電界効果トランジスタ部のソース領域の内部に形成され、ドレイン領域がソース領域で囲まれた配置を有し、前記電界効果トランジスタのゲート電極が前記電界放出電子源部の陰極に対して平面的に対称に配置された構成であって、前記ドレイン領域が p 型導電層からなることを特徴とする電界放出型電子源装置。

【請求項 3】 電界効果トランジスタ部のチャネル領域に接するドレインの外周部とソースの内周部とが、それぞれ同心円周上に形成された円形状を有することを特徴とする請求項 1 または 2 記載の電界放出型電子源装置。

【請求項4】ソース領域とドレイン領域との間に形成され、チャネル領域を制御するためのゲート電極の少なくとも一部が、円弧状の対称な形状を有することを特徴とする請求項1または2記載の電界放出型電子源装置。

【請求項5】電界放出電子源部の引き出し電極に印加される第1の電圧 (V_{ex}) と電界効果トランジスタ部のゲート電極に印加される第2の電圧 (V_g) との間に、 $V_g < V_{ex}$ なる関係があることを特徴とする請求項1または2記載の電界放出型電子源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子線励起のレーザ、平面型の表示素子、及び超高速の微小真空素子等への応用が期待される冷陰極電子源に係わり、特に集積化及び低電圧化が実現可能な半導体応用の電界放出型電子源装置に関するものである。

【0002】

【従来の技術】

冷陰極に要求される仕様として、ディスプレイ用途としては特に高精細化も重要な要素となる。一般に、マイクロチップ型の冷陰極構成の場合、エミッタから放出される電子は所定の広がり角を有しているために高精細表示を行う上で障害となる可能性がある。この電子軌道の広がりを抑制する手段の一つとして、収束電極を用いる構成が提案されている。図4にこのような方式のFEDの一構成例を示す（特開平10-74473号公報）。

【0003】

このFEDは、各エミッタ毎に第2のゲート電極（収束電極）を形成し、このゲート電極に第1のゲート電極（引き出しゲート電極）に対して相対的に負の電位を与えることにより、エミッタから放出される電子を収束させるものである。

【0004】

すなわち、図4において、41は絶縁層で、ゲート電極42（引き出し電極）の上に更に絶縁層43を設け、その上に円形の開口部を有する第2のゲート電極44（収束電極）を設けている。この従来例においては、第2のゲート電極44

(収束電極)は各エミッタ45を取り囲む様に設けられている。この第2のゲート電極44(収束電極)を第1のゲート電極42(引き出しゲート電極)よりも低電位とすることにより、エミッタから放出された電子が収束効果のレンズ作用を受けて、電子ビームの軌道が収束されることとなる。

【0005】

【発明が解決しようとする課題】

ところが、この従来例の電界放出型表示装置では、電子ビームの収束機能は有するが一方でエミッタから放出される電子の量を低下させる欠点を有している。

【0006】

以下、具体的に従来例の問題点を説明する。第2のゲート電極44に第1のゲート電極42に対して負の電位を与えると、この負の電位の作用はエミッタから放出された電子だけでなく、エミッタ先端の引き出し電界にも作用してしまう。

【0007】

引き出し電極の開口径を1マイクロメートル程度のエミッタの場合、十分な電界放出を得るためには通常60V程度の電位を第1のゲート電極42に与える必要がある。

【0008】

また、電子ビームの収束作用の効果を高めるためには、第2のゲート電極44に相対的に低い負の電位を与える必要があるが、実験的には10V程度の電圧印加で十分な収束作用が実証されている。ところが、この収束条件では、同時にエミッタから放出される電子の量が数分の一に低下することが実験で確認されている。

【0009】

つまり、第2のゲート電極44に印加された電位が、第1のゲート電極42によって生成されたエミッタ先端部の電界強度を打ち消す効果をもたらし、結果的に電界強度が弱められて電子放出量が低下するものである。従来例の構成では、収束作用と電子放出量はトレードオフの関係を有することになり、十分な電子放出量を維持したままで、十分な収束を行うことができないという本質的な問題を有していた。

【0010】

前記に鑑み、本発明は、次世代ディスプレイに要求される高信頼性動作を実現する電界放出型電子源構造を得ることを第1の目的とし、前記第1の目的に加えて高精細化を図る上で高密度で安定な動作を実現する電界放出型電子源構造を得ることを第2の目的とし、更に高精細化が可能なビーム収束作用を有する電界放出型電子源構造を得ることを第3の目的とするものである。

【0011】

【課題を解決するための手段】

前記目的を達成するため、第1の発明は、p型シリコン基板上に絶縁膜を介して形成され陰極形成領域に開口部を有する引き出し電極と前記引き出し電極の開口部内に形成された陰極部とを備えた電界放出電子源部と、前記電界放出電子源部に対応して前記p型シリコン基板上に形成されたnチャネル電界効果トランジスタ部を具備し、前記電界効果トランジスタ部のドレイン領域に前記電界放出電子源部が形成され、前記電界効果トランジスタ部のゲート電極に印加される制御電圧により、前記電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、前記ドレイン領域が前記電界効果トランジスタ部のソース領域の内部に形成され、ドレイン領域がソース領域で囲まれた配置を有し、前記電界効果トランジスタのゲート電極が前記電界放出電子源部の陰極に対して平面的に対称に配置された構成である。この構成により、ゲート電極等の電極配置をドレインを中心に平面的に対称設計することが可能になり、電子収束作用が容易になる。

【0012】

第2の発明は、p型シリコン基板上に絶縁膜を介して形成され陰極形成領域に開口部を有する引き出し電極と前記引き出し電極の開口部内に形成された陰極部とを備えた電界放出電子源部と、前記電界放出電子源部に対応して前記p型シリコン基板上に形成されたnチャネル電界効果トランジスタ部を具備し、前記電界効果トランジスタ部のドレイン領域に前記電界放出電子源部が形成され、前記電界効果トランジスタ部のゲート電極に印加される制御電圧により、前記電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、ドレ

イン領域がソース領域で囲まれた配置を有し、前記電界効果トランジスタのゲート電極が前記電界放出電子源部の陰極に対して平面的に対称に配置された構成であり、前記ドレイン領域が p 型導電層からなる構成である。この構成により、この構成によりドレイン領域へのイオン注入による不純物導入工程が簡略化され、製造コストを低減できると同時に、陰極へのイオン注入による陰極形状ばらつき発生を抑制できる。

【0013】

第3の発明は、第1、第2の発明の構成に、前記電界効果トランジスタ部のチャネル領域に接する前記ドレインの外周部と前記ソースの内周部とが、それぞれ同心円周上に形成された円形状を有する構成である。この構成により、ソース領域からドレイン領域へのキャリア注入が均一化され、良好なトランジスタ特性が得られる。

【0014】

第4の発明は、第1、第2の発明の構成に、前記ソース領域と前記ドレイン領域との間に形成され、チャネル領域を制御するためのゲート電極の少なくとも一部が、円弧状の対称な形状を有する構成である。この構成により、収束のための電極形状がドレインを中心に対称となり、より均一に収束動作を行うことができる。

【0015】

第5の発明は、第1、第2の発明の構成に、前記電界放出電子源部の引き出し電極に印加される第1の電圧 (V_{ex}) と前記電界効果トランジスタ部のゲート電極に印加される第2の電圧 (V_g) との間に、 $V_g < V_{ex}$ なる関係を有するものである。この構成により、電子の収束動作をより確実に行うことができる。

【0016】

【発明の実施の形態】

（第1の実施形態）

以下、本発明の第1の実施形態に係る電界放出型電子源装置の構造について図1を参照しながら説明する。図1(a)は、図1(b)における I-I 線の断面構造を示し、図1(b)は平面構造を示している。

【0017】

図1に示すように、1はp型シリコン基板、2は電界効果トランジスタ(FET)として動作する素子のソース領域となる第1のn型半導体導電部、3はFETのドレイン領域となる不純物濃度の高い第2のn型半導体導電部、4は円形断面を持つタワー形状の電界放出型電子源として動作する陰極、5は主にFETのゲート絶縁膜として機能するシリコン酸化膜からなる第1の絶縁層、6は主に電界放出型電子源の引き出し電極用絶縁膜として機能するシリコン酸化膜からなる第2の絶縁層、7はFET用のチャネル領域を制御するためのゲート電極、8はFET用のソース電極、9は陰極用の引き出し電極である。

【0018】

図1に示したように、本実施形態における電界放出型電子源装置では、p型シリコン基板1の一方の主表面の一部にはFETのソースとなる第1のn型半導体導電部2、及びドレインとなる第2のn型半導体導電部3が形成され、かつ第2のn型半導体導電部3は第1のn型半導体導電部2に周囲を囲まれるように様に内部に配置された構成をとる。

【0019】

また、ソースとなる第1のn型半導体導電部2とドレインとなる第2のn型半導体導電部3との間に位置したFETのチャネル領域の少なくとも一部の表面には、第1の絶縁層5と第2の絶縁層6の間に埋め込まれた構造のゲート電極7が形成されている。更に、第1のn型半導体導電部2上には、コンタクト窓を介してソース電極8が形成されている。

【0020】

ドレインとなる第2のn型半導体導電部3の表面には、円形断面を持つタワー形状の陰極4が形成されている。シリコンよりなるタワー形状の陰極4の先端部は、熱酸化を利用した先鋭化プロセスにより、ナノメートルオーダの先端微構造部が形成されている。更に、陰極4の周囲には一定の開口径を持ち、電子放出のための電界を印加するための引き出し電極9が第2の絶縁層6上に形成されている。

【0021】

以下に、上記構成を有する本実施形態における電界放出電子源装置の動作を説明する。p型シリコン基板1とソース領域となる第1のn型半導体導電部2を接地接続し、引き出し電極9に正の電圧 V_{ex} を印加する。更に、FETのゲート電極7に所定の電圧 V_g を印加すると、ゲート電極7の下部のチャネル領域がオープン状態となり、ソースからドレイン方向に電子キャリアが注入される条件が整う。

【0022】

この条件下で、引き出し電極9に正の電圧 V_{ex} を印加する。この際の V_{ex} と V_g の印加条件は、 $V_g < V_{ex}$ の関係を満足するように設定する。サブミクロンオーダのゲート開口径とナノメートルオーダの陰極先端部が形成された電界放出電子源では、通常数十ボルトの電圧印加により陰極4の先端から電子が電界放出されはじめる。放出された電子は、図1には図示していないが、p型シリコン基板1と対向配置された陽極板へ向かって加速されながら進行する。

【0023】

この場合、陰極4から放出される電子流放射量は、引き出し電極9に印加される固定のゲート電圧 V_{ex} によって制御されるのではなく、陰極4に接続されるFETのゲート電極7に印加される可変ゲートソース間制御電圧 V_g によって制御される。

【0024】

即ち、FETは、そのゲート電極7に印加されるゲートソース間制御電圧 V_g を適時選択した場合、定電流領域で動作するようになる。このように、陰極4から電界放射される電子流放射量は、このエミッタに直列に接続され放射される電子を供給する機能を持つFETの特性によって決定されることになる。

【0025】

従って、FETの設計を最適に行うことによって、FETの動作条件と電界放射電子流量を事前に設計することが可能になる。特に、FETの飽和動作領域で電界放射を行うことでエミッタ自身の不安定要因から開放され、結果として極めて安定で、正確に制御された電界放射電子流量を得ることができる。

【0026】

ここで、本発明の特徴であるソースとドレインの配置構成について説明する。本実施形態のドレイン構造の特徴は、外周部をソース領域及びチャンネル領域で囲まれたアイランド構造を有していることである。また、FETの動作を制御するゲート電極が電界放出電子源部の陰極を中心に対称に配置されている。この配置を採用することにより、ソース領域からドレイン領域へキャリアを均等に注入することが可能になる。

【0027】

通常構造のドレインは、チャンネル領域に接した一部の境界よりキャリアを注入している。この場合、注入されたキャリアはドレイン内を拡散して電界放出電子源部の陰極に到達することになる。従って、ドレインの位置に応じてキャリアの濃度が異なることも予想される。

【0028】

本発明の構成では、ドレインに1ケの陰極を形成した構成について述べたが、FED用の画素として用いる場合には通常1画素当たり数百ケの陰極をドレインに形成するマルチエミッタの構成を用いる。ドレイン内でキャリアの密度が異なる場合、陰極の位置によって陰極から放出される電子の量がばらつくことも予想される。本発明では、陰極が形成されたドレインに対して対称に配置されたゲート電極を通じて、均一かつ対称にキャリアが注入されるため、ドレイン内での電子放出のばらつきも抑制されることになる。

【0029】

更に、本発明の引き出し電極は電子放出量の制御だけでなく、放出された電子のビーム軌道制御にも有効である。つまり、FETのゲート電極に印加する電圧 V_g と陰極を動作させるための引き出し電圧 V_{ex} の関係を予め $V_g < V_{ex}$ の条件で最適な条件で設定しておくことにより、放出された電子が真空中で V_g の電界の影響を受けて収束作用を示す。 V_{ex} に比べて低く設定された V_g の電位が、陰極から放出され対向の陽極へ向かう電子に収束作用を及ぼす電界を発生させることによる。

【0030】

陰極に対して対称に配置したゲート電極からの収束電界が、電子軌道に対して

対称に生成されるため、従来例にはない良好なレンズ作用を有することになる。
また、収束作用をもたらすゲート電極 7 は、第 1 の絶縁層 5 と第 2 の絶縁層 6 の間に埋め込まれた配線として形成されており、引き出し電極 9 より下層の位置に形成されている。この相対的な配置構成により、 V_{ex} に比べて相対的に低い電圧を V_g に印加した場合においてもゲート電極 7 の影響は陰極 4 に及ばない。

【0031】

従来構造では、収束機能とともに電子放出量が低下していたが、本発明の構成では電子放出量を維持したままで十分な収束機能を持つことが可能となる。

【0032】

以上のように、ドレイン内での電子放出のばらつき抑制や対称に配置されたゲート電極によるビーム収束効果が期待できるため、極めて安定に、かつビーム広がり小さい高密度なエミッタ動作が保証できるため、高精細表示に適した良好な電界放出電子源として期待できる。

【0033】

尚、本実施形態の説明では、陰極 4 の形状としてタワー形状の例を述べたが、従来型の円錐型陰極形状でも同様の効果を得ることができる。また、陰極 4 の材料として、p 型シリコン基板を加工して形成した例を用いたが、従来型の金属材料（モリブデンやタングステン等の高融点金属材料）や炭素系材料（ダイヤモンド、グラファイト、またはダイヤモンドライクカーボン等）を用いても同様の効果を得ることができる。

【0034】

（第 2 の実施形態）

以下、本発明の第 2 の実施形態に係る電界放出型電子源装置の構造について図 2 を参照しながら説明する。図 2 (a) は、図 2 (b) における I-I 線の断面構造を示し、図 2 (b) は平面構造を示している。

【0035】

図 2 に示すように、21 は p 型シリコン基板である。22 は電界効果トランジスタ (FET) として動作する素子のソース領域となる n 型半導体導電部、23 は円形断面を持つタワー形状の電界放出型電子源として動作する陰極、24 は主

にFETのゲート絶縁膜として機能するシリコン酸化膜からなる第1の絶縁層、25は主に電界放出型電子源の引き出し電極用絶縁膜として機能するシリコン酸化膜からなる第2の絶縁層、26はFET用のチャネル領域を制御するためのゲート電極、27はFET用のソース電極、28は陰極用の引き出し電極である。

【0036】

図2に示したように、本実施形態における電界放出型電子源装置では、p型シリコン基板21の一方の主表面の一部にFETのソースとなる第1のn型半導体導電部22、陰極23及び引き出し電極28からなる電界放出電子源部が形成され、かつ前記電界放出電子源部はn型半導体導電部22に周囲を囲まれるように様に内部に配置された構成をとる。

【0037】

また、ソースとなるn型半導体導電部22と前記電界放出電子源部の間に位置したFETのチャネル領域の少なくとも一部の表面には、第1の絶縁層24を介して電流を制御するためのゲート電極26が、第1の絶縁層24と第2の絶縁層25の間に埋め込まれた配線として陰極23に対して対称な配置で形成されている。更に、ソースのn型半導体導電部22上には、コンタクト窓を介してソース電極27が形成されている。

【0038】

ソースのn型半導体導電部22の内部にあってドレイン領域となるシリコン基板21の表面には、円形断面を持つタワー形状の陰極23が形成されている。シリコンよりなるタワー形状の陰極23の先端部は、熱酸化を利用した先鋭化プロセスにより、ナノメートルオーダーの先端微構造部が形成されている。更に、陰極23の周囲には一定の開口径を持ち、電子放出のための電界を印加するための引き出し電極28が第2の絶縁層25上に形成されている。

【0039】

以下に、上記構成を有する本実施形態における電界放出電子源装置の動作を説明する。

【0040】

p型シリコン基板21とソース領域となるn型半導体導電部22とを接地接続

し、引き出し電極 28 に正の電圧 V_{ex} を印加する。更に、FET のゲート電極 26 に所定の電圧 V_g を印加すると、ゲート電極 26 の下部のチャネル領域がオープン状態となり、ソースからドレイン方向に電子キャリアが注入される条件が整う。

【0041】

この条件下で、引き出し電極 28 に正の電圧 V_{ex} を印加する。この際の V_{ex} と V_g の印加条件は、 $V_g < V_{ex}$ の関係を満足するように設定する。この引き出し電極への正の電圧印加により、引き出し電極下部領域の p 型シリコン基板表層部には空乏層が形成される。十分に高い V_g 電圧条件では、この空乏層の表面に n 型の反転層が形成され、電子キャリアの電導層として機能する。

【0042】

この結果、チャネル領域から注入された電子は、形成された n 型反転層を介してエミッタ方向へ導かれることになる。ドレインに n 型半導体導電部を形成しておかなくても、 V_{ex} に一定の電圧印加を行うことでほぼ同様のトランジスタ動作が可能になる。一定サブミクロンオーダのゲート開口径とナノメートルオーダの陰極先端部が形成された電界放出電子源では、通常数十ボルトの電圧印加により陰極 23 の先端から電子が電界放出されはじめる。放出された電子は、図 2 には図示していないが、p 型シリコン基板 21 と対向配置された陽極板へ向かって加速されながら進行する。

【0043】

この場合、陰極 23 から放出される電子流放射量は、引き出し電極 28 に印加される固定のゲート電圧 V_{ex} によって制御されるのではなく、陰極 23 に接続される FET のゲート電極 26 に印加される可変ゲートソース間制御電圧 V_g によって制御される。

【0044】

即ち、FET は、そのゲート電極 26 に印加されるゲートソース間制御電圧 V_g を適時選択した場合、定電流領域で動作するようになる。このように、陰極 23 から電界放射される電子流放射量は、このエミッタに直列に接続され放射される電子を供給する機能を持つ FET の特性によって決定されることになる。

【0045】

従って、FETの設計を最適に行うことによって、FETの動作条件と電界放射電子流量を事前に設計することが可能になる。特に、FETの飽和動作領域で電界放射を行うことでエミッタ自身の不安定要因から開放され、結果として極めて安定で、正確に制御された電界放射電子流量を得ることができる。

【0046】

ここで、本発明の特徴であるソースとドレインの配置構成について説明する。本実施形態の電界放出電子源部の特徴は、外周部をソース領域及びチャネル領域で囲まれたアイランド構造を有していることである。また、FETの動作を制御するゲート電極が電界放出電子源部の陰極を中心に対称に配置されている。

【0047】

この配置を採用することにより、ソース領域から引き出し電極下部に生成されたn型反転層領域へキャリアを均等に注入することが可能になる。通常構造のドレインは、チャネル領域に接した一部の境界よりキャリアを注入している。この場合、注入されたキャリアはドレイン内を拡散して電界放出電子源部の陰極に到達することになる。従って、ドレインの位置に応じてキャリアの濃度が異なることも予想される。

【0048】

本発明の構成では、ドレインとして機能するn型反転層領域に1ヶの陰極を形成した構成について述べたが、FED用の画素として用いる場合には通常1画素当たり数百ヶの陰極をドレインに形成するマルチエミッタの構成を用いる。

【0049】

ドレイン内でキャリアの密度が異なる場合、陰極の位置によって陰極から放出される電子の量がばらつくことも予想される。本発明では、陰極が形成されたn型反転層領域に対して対称に配置されたゲート電極を通じて、均一かつ対称にキャリアが注入されるため、n型反転層領域内での電子放出のばらつきも抑制されることになる。

【0050】

更に、本発明の引き出し電極は電子放出量の制御だけでなく、放出された電子

のビーム軌道制御にも有効である。つまり、FETのゲート電極に印加する電圧 V_g と陰極を動作させるための引き出し電圧 V_{ex} の関係を予め $V_g < V_{ex}$ の条件で最適な条件で設定しておくことにより、放出された電子が真空中で V_g の電界の影響を受けて収束作用を示す。 V_{ex} に比べて低く設定された V_g の電位が、陰極から放出され対向の陽極へ向かう電子に収束作用を及ぼす電界を発生させることによる。陰極に対して対称に配置したゲート電極からの収束電界が、電子軌道に対して対称に生成されるため、従来例にはない良好なレンズ作用を有することになる。

【0051】

また、収束作用をもたらすゲート電極 26 は、第1の絶縁層 24 と第2の絶縁層 25 の間に埋め込まれた配線として形成されており、引き出し電極 28 より下層の位置に形成されている。この相対的な配置構成により、 V_{ex} に比べて相対的に低い電圧を V_g に印加した場合においてもゲート電極 26 の影響は陰極 23 に及ばない。従来構造では、収束機能とともに電子放出量が低下していたが、本発明の構成では電子放出量を維持したままで十分な収束機能を持つことが可能となる。

【0052】

以上のように、ドレインとして機能する n 型反転層領域内での電子放出のばらつき抑制や、対称に配置されたゲート電極によるビーム収束効果が期待できるため、極めて安定に、かつビーム広がり小さい高密度なエミッタ動作が保証できるため、高精細表示に適した良好な電界放出電子源として期待できる。

【0053】

尚、本実施形態の説明では、陰極 23 の形状として、タワー形状の例を述べたが、従来型の円錐型陰極形状でも同様の効果を得ることができる。また、陰極 23 の材料として、p 型シリコン基板を加工して形成した例を用いたが、従来型の金属材料（モリブデンやタングステン等の高融点金属材料）や炭素系材料（ダイヤモンド、グラファイト、またはダイヤモンドライクカーボン等）を用いても同様の効果を得ることができる。

【0054】

(第3の実施形態)

以下、本発明の第3の実施形態に係る電界放出型電子源装置の構造について図3を参照しながら説明する。図3(a)は、図3(b)におけるI-I線の断面構造を示し、図3(b)は平面構造を示している。

【0055】

図3に示すように、31はp型シリコン基板で、32は電界効果トランジスタ(FET)として動作する素子のソース領域となる第1のn型半導体導電部、33はFETのドレイン領域となる不純物濃度の高い第2のn型半導体導電部、34は円形断面を持つタワー形状の電界放出型電子源として動作する陰極、35は主にFETのゲート絶縁膜として機能するシリコン酸化膜からなる第1の絶縁層である。36は主に電界放出型電子源の引き出し電極用絶縁膜として機能するシリコン酸化膜からなる第2の絶縁層、37はFET用のチャネル領域を制御するためのゲート電極、38はFET用のソース電極、39は陰極用の引き出し電極である。

【0056】

図3に示したように、本実施形態における電界放出型電子源装置では、p型シリコン基板31の一方の主表面の一部にはFETのソースとなる第1のn型半導体導電部32、及びドレインとなる第2のn型半導体導電部33が形成され、かつ第2のn型半導体導電部33は第1のn型半導体導電部32に周囲を囲まれるように様に内部に配置された構成をとる。

【0057】

更に、ソースとなる第1のn型半導体導電部32の内周形状とドレインとなる第2のn型半導体導電部33の外周形状がそれぞれ同心円状に形成された円形状を有しており、FETのチャネル領域は前記ソース領域と前記ドレイン領域の間に位置してリング状の形状となっている。また、前記リング状のチャネルを覆うように第1の絶縁層35と第2の絶縁層36の間に埋め込まれたリング状のゲート電極37が形成されている。更に、ソースのn型半導体導電部32上には、コンタクト窓を介してソース電極38が形成されている。

【0058】

ドレインとなる第2のn型半導体導電部33の表面には、円形断面を持つタワー形状の陰極34が形成されている。シリコンよりなるタワー形状の陰極34の先端部は、熱酸化を利用した先鋭化プロセスにより、ナノメートルオーダの先端微構造部が形成されている。更に、陰極34の周囲には一定の開口径を持ち、電子放出のための電界を印加するための引き出し電極39が第2の絶縁層36上に形成されている。

【0059】

以下に、上記構成を有する本実施形態における電界放出電子源装置の動作を説明する。

【0060】

p型シリコン基板31とソース領域となる第1のn型半導体導電部32を接地接続し、引き出し電極39に正の電圧 V_{ex} を印加する。更に、FETのゲート電極37に所定の電圧 V_g を印加すると、ゲート電極37の下部のチャネル領域がオープン状態となり、ソースからドレイン方向に電子キャリアが注入される条件が整う。この条件下で、引き出し電極39に正の電圧 V_{ex} を印加する。

【0061】

この際の V_{ex} と V_g の印加条件は、 $V_g < V_{ex}$ の関係を満足するように設定する。サブミクロンオーダのゲート開口径とナノメートルオーダの陰極先端部が形成された電界放出電子源では、通常数十ボルトの電圧印加により陰極34の先端から電子が電界放出されはじめる。放出された電子は、図3には図示していないが、p型シリコン基板31と対向配置された陽極板へ向かって加速されながら進行する。

【0062】

この場合、陰極34から放出される電子流放射量は、引き出し電極39に印加される固定のゲート電圧 V_{ex} によって制御されるのではなく、陰極34に接続されるFETのゲート電極37に印加される可変ゲートソース間制御電圧 V_g によって制御される。

【0063】

即ち、FETは、そのゲート電極37に印加されるゲートソース間制御電圧 V

g を適時選択した場合、定電流領域で動作するようになる。このように、陰極 34 から電界放射される電子流放射量は、このエミッタに直列に接続され放射される電子を供給する機能を持つ FET の特性によって決定されることになる。

【0064】

従って、FET の設計を最適に行うことによって、FET の動作条件と電界放射電子流量を事前に設計することが可能になる。特に、FET の飽和動作領域で電界放射を行うことでエミッタ自身の不安定要因から開放され、結果として極めて安定で、正確に制御された電界放射電子流量を得ることができる。

【0065】

ここで、本発明の特徴であるリング状のゲート電極構成について説明する。本実施形態のドレイン構造の特徴は、外周部をソース領域及びチャネル領域で囲まれたアイランド構造を有していることである。また、FET の動作を制御するゲート電極が電界放出電子源部の陰極を中心にリング状に対称に配置されている。

【0066】

この配置を採用することにより、ソース領域からドレイン領域へキャリアを均等に注入することが可能になる。通常構造のドレインは、チャネル領域に接した一部の境界よりキャリアを注入している。この場合、注入されたキャリアはドレイン内を拡散して電界放出電子源部の陰極に到達することになる。

【0067】

従って、ドレインの位置に応じてキャリアの濃度が異なることも予想される。本発明の構成では、ドレインに 1 ケの陰極を形成した構成について述べたが、FED 用の画素として用いる場合には通常 1 画素当たり数百ケの陰極をドレインに形成するマルチエミッタの構成を用いる。ドレイン内でキャリアの密度が異なる場合、陰極の位置によって陰極から放出される電子の量がばらつくことも予想される。本発明では、陰極が形成されたドレインに対して対称に配置されたゲート電極を通じて、均一かつ対称にキャリアが注入されるため、ドレイン内での電子放出のばらつきも抑制されることになる。

【0068】

更に、本発明の引き出し電極は電子放出量の制御だけでなく、放出された電子

のビーム軌道制御にも有効である。つまり、FETのゲート電極に印加する電圧 V_g と陰極を動作させるための引き出し電圧 V_{ex} の関係を予め $V_g < V_{ex}$ の条件で最適な条件で設定しておくことにより、放出された電子が真空中で V_g の電界の影響を受けて収束作用を示す。 V_{ex} に比べて低く設定された V_g の電位が、陰極から放出され対向の陽極へ向かう電子に収束作用を及ぼす電界を発生させることによる。陰極に対して対称にリング状に配置したゲート電極からの収束電界が、電子軌道に対して完全に対称に生成されるため、従来例にはない良好なレンズ作用を有することになる。

【0069】

また、収束作用をもたらすゲート電極37は、第1の絶縁層35と第2の絶縁層36の間に埋め込まれた配線として形成されており、引き出し電極39より下層の位置に形成されている。この相対的な配置構成により、 V_{ex} に比べて相対的に低い電圧を V_g に印加した場合においてもゲート電極37の影響は陰極34に及ばない。従来構造では、収束機能とともに電子放出量が低下していたが、本発明の構成では電子放出量を維持したままで十分な収束機能を持つことが可能となる。

【0070】

以上のように、ドレイン内での電子放出のばらつき抑制や対称に配置されたリング状のゲート電極による完全なビーム収束効果が期待できるため、極めて安定に、かつビーム広がり小さい高密度なエミッタ動作が保証できるため、高精細表示に適した良好な電界放出電子源として期待できる。

【0071】

なお、本実施形態の説明では、陰極34の形状としてタワー形状の例を述べたが、従来型の円錐型陰極形状でも同様の効果を得ることができる。また、陰極34の材料として、p型シリコン基板を加工して形成した例を用いたが、従来型の金属材料（モリブデンやタングステン等の高融点金属材料）や炭素系材料（ダイヤモンド、グラファイト、またはダイヤモンドライクカーボン等）を用いても同様の効果を得ることができる。

【0072】

【発明の効果】

以上のように第1の発明に係る電界放出型電子源装置によると、FET制御用のゲート電極配置をドレインを中心に対称的に設計できるため、ソースからドレインへの電子注入が均一化され、電子放出の均一性を向上させることができる。同時に、引き出し電極より下層に位置するゲート電極を用いることにより、電界放出の量を低下させることなくビーム軌道を収束させることができる。

【0073】

また、第2の発明に係る電界放出型電子源装置によると、引き出し電極による反転層を利用することにより、n型半導体導電層と同等の機能を持たせることができ、工程の簡略化が図れる。

【0074】

また、第3の発明に係る電界放出型電子源装置によると、ソースの内周部とドレインの外周部が同心円周状に形成されるため、ソースからドレインへのキャリア注入が均一化され、良好なトランジスタ特性が得られる。

【0075】

また、第4の発明に係る電界放出型電子源装置によると、FETのゲート電極がドレインを中心に対称にリング上に形成されるため、電子軌道の収束動作をより確実に行うことができる。

【0076】

第5の発明に係る電界放出型電子源装置によると、ゲート電極に印加される電圧 V_g と引き出し電極に印加される電圧 V_{ex} との間に、 $V_g < V_{ex}$ の関係を持たせることによって、陰極から放出される電子に負の電界作用を生じさせることができるため、より確実に電子軌道の収束を行うことができる。

【図面の簡単な説明】

【図1】

- (a) 本発明の第1の実施形態に係る電界放出型電子源装置を示した断面図
- (b) 同平面図

【図2】

- (a) 本発明の第2の実施形態に係る電界放出型電子源装置を示した断面図

(b) 同平面図

【図 3】

(a) 本発明の第 3 の実施形態に係る電界放出型電子源装置を示した断面図

(b) 同平面図

【図 4】

従来の電界放出型電子源の構造断面図

【符号の説明】

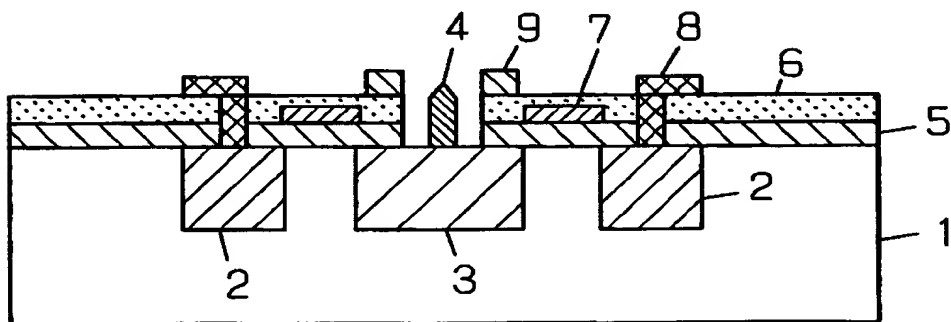
- 1 p 型シリコン基板
- 2 第 1 の n 型半導体導電部
- 3 第 2 の n 型半導体導電部
- 4 陰極
- 5 第 1 の絶縁層
- 6 第 2 の絶縁層
- 7 ゲート電極
- 8 ソース電極
- 9 引き出し電極

【書類名】 図面

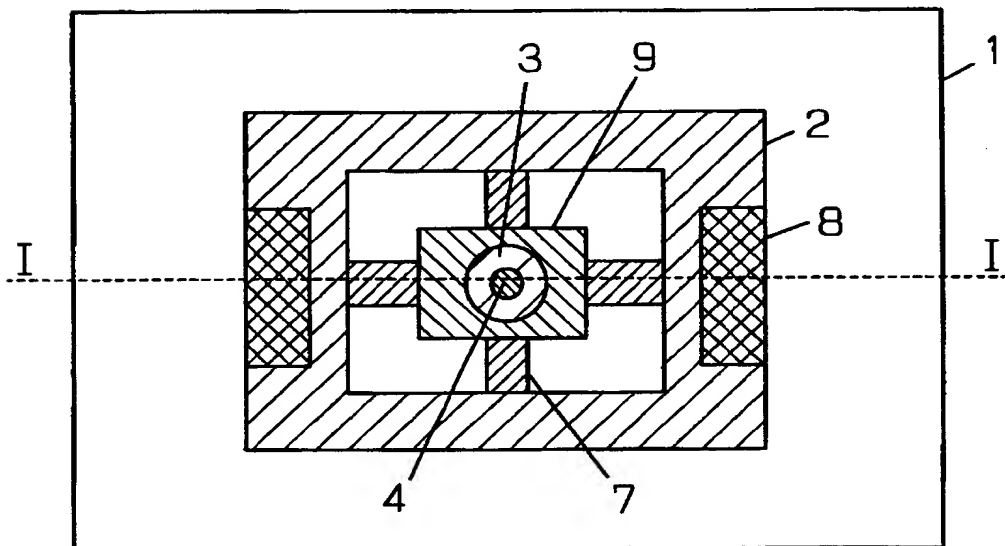
【図 1】

- | | |
|---------------|----------|
| 1 P型シリコン基板 | 6 第2の絶縁層 |
| 2 第1のn型半導体導電部 | 7 ゲート電極 |
| 3 第2のn型半導体導電部 | 8 ソース電極 |
| 4 陰極 | 9 引き出し電極 |
| 5 第1の絶縁層 | |

(a)

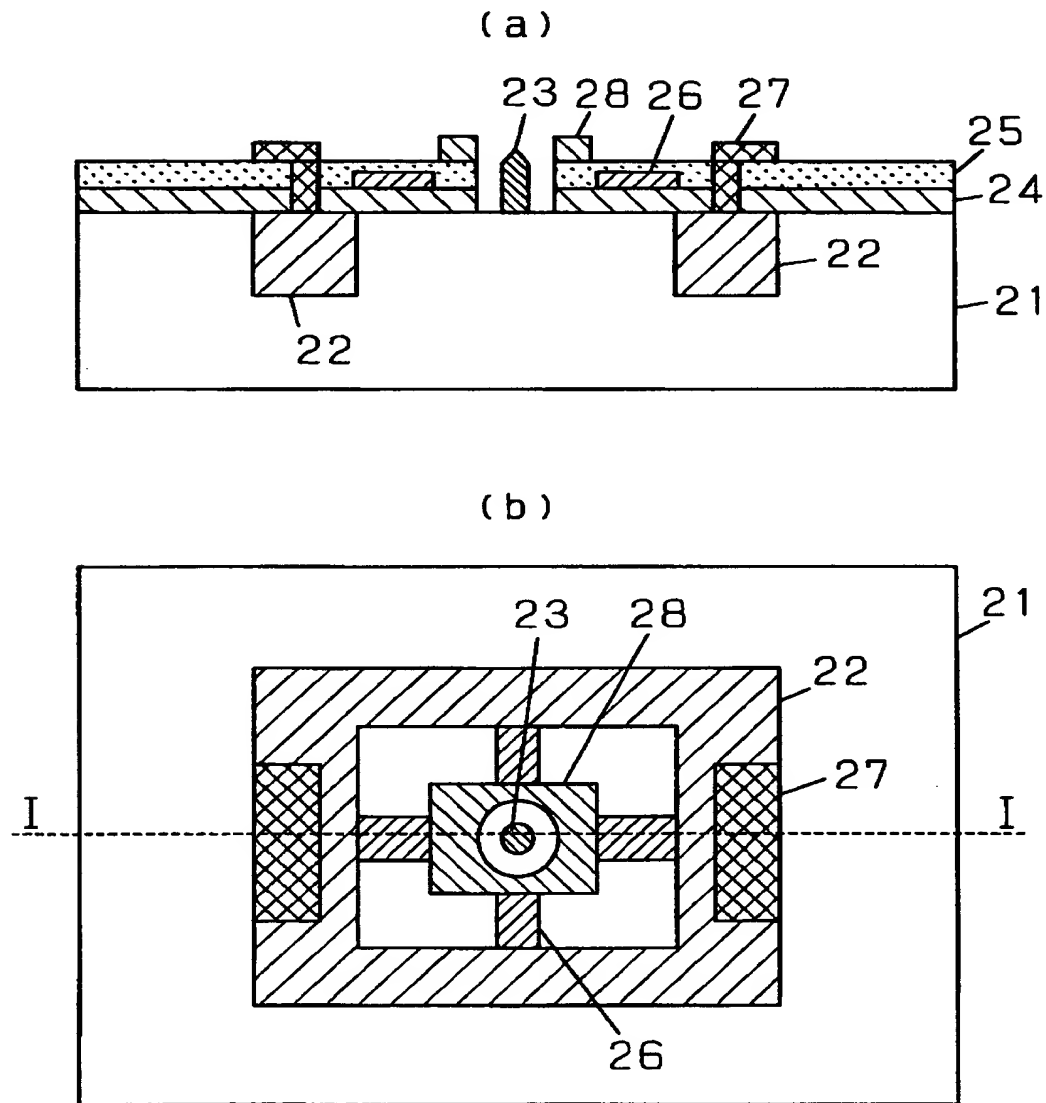


(b)



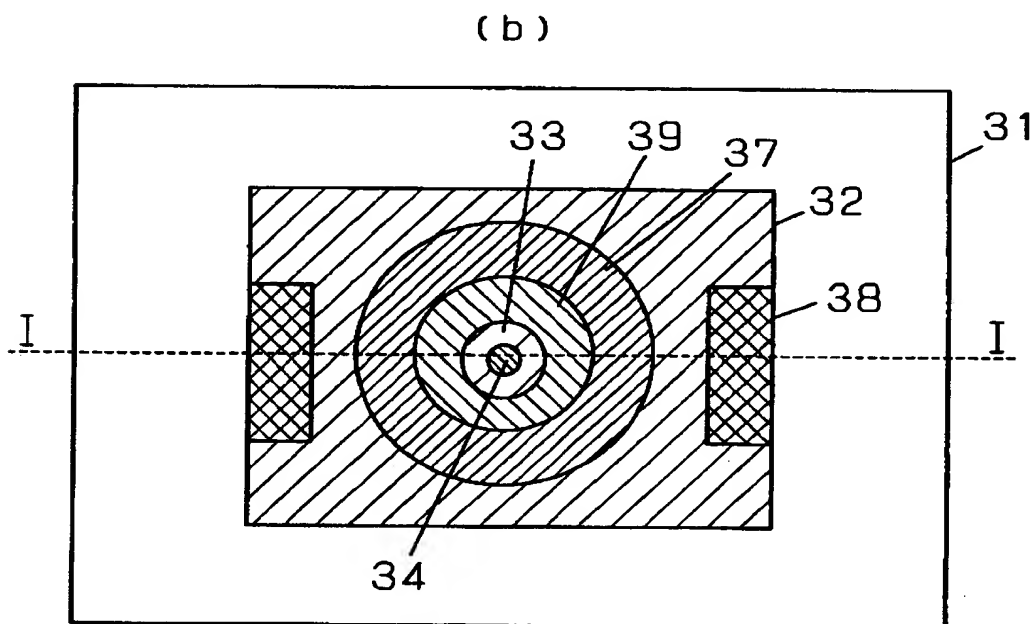
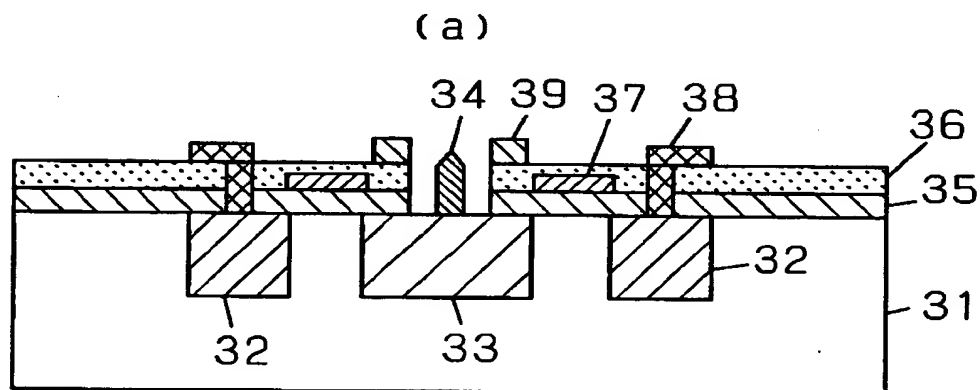
【図 2】

- | | |
|-------------|-----------|
| 21 P型シリコン基板 | 25 第2の絶縁層 |
| 22 n型半導体導電部 | 26 ゲート電極 |
| 23 陰極 | 27 ソース電極 |
| 24 第1の絶縁層 | 28 引き出し電極 |

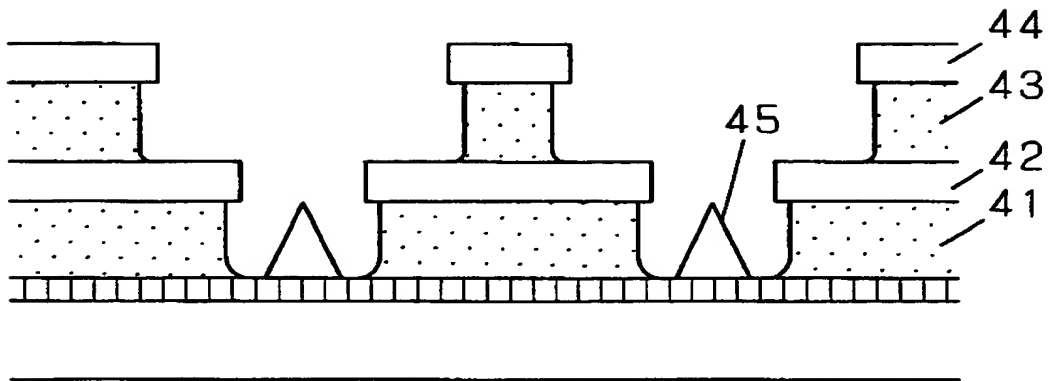


【図3】

- | | |
|----------------|-----------|
| 31 P型シリコン基板 | 36 第2の絶縁層 |
| 32 第1のn型半導体導電部 | 37 ゲート電極 |
| 33 第2のn型半導体導電部 | 38 ソース電極 |
| 34 陰極 | 39 引き出し電極 |
| 35 第1の絶縁層 | |



【図4】



【書類名】 要約書

【要約】

【課題】 ビーム収束機能を有する FET 制御電界放出電子源装置を得る。

【解決手段】 p 型シリコン基板 1 の陰極形成領域に開口部を有する引き出し電極 9 と引き出し電極の開口部内に形成された陰極部を備えた電界放出電子源部と、電界放出電子源部に対応して p 型シリコン基板 9 上に形成された n チャネル電界効果トランジスタ部を具備し、電界効果トランジスタ部のドレイン領域に電界放出電子源部が形成され、ゲート電極 7 に印加される制御電圧により電界放射電流が制御される装置であって、ドレイン領域がソース領域の内部に形成され、ドレイン領域がソース領域で囲まれた配置を有し、ゲート電極 7 が陰極 4 に対して平面的に対称に配置された構成である。この構成により、ゲート電極等の電極配置をドレインを中心に平面的に対称設計可能で、電子収束作用が容易になる。

【選択図】 図 1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000005821
【住所又は居所】 大阪府門真市大字門真 1006 番地
【氏名又は名称】 松下電器産業株式会社
【代理人】 申請人
【識別番号】 100097445
【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社 知的財産権センター
【氏名又は名称】 岩橋 文雄
【選任した代理人】
【識別番号】 100103355
【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内
【氏名又は名称】 坂口 智康
【選任した代理人】
【識別番号】 100109667
【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内
【氏名又は名称】 内藤 浩樹

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社

